

(54) MULTILAYER CIRCUIT BOARD FOR LOADING SEMICONDUCTOR

(11) 63-307768 (A) (43) 15.12.1988 (19) JP

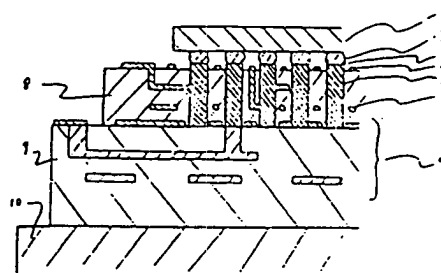
(21) Appl. No. 62-143564 (22) 9.6.1987

(71) HITACHI CHEM CO LTD (72) HAJIME NAKAYAMA(3)

(51) Int. Cl.⁴ H01L23/52, H05K3/46

PURPOSE: To prevent the peeling of an organic substrate from a copper conductor while improving heat-dissipating properties by forming a metallic pillar having the same sectional shape as a surface wiring pattern for connecting a flip chip terminal to the lower section of the surface wiring pattern so as to penetrate the organic substrate and reach up to the upper section of an inorganic substrate.

CONSTITUTION: A multilayer circuit board for loading a semiconductor is formed by superposing an organic multilayer interconnection substrate 8, to which specified wiring patterns including surface wiring patterns 3 for connecting flip chip 1 terminals are shaped and which has a low dielectric constant, onto an inorganic multilayer interconnection substrate 9 to which predetermined wiring patterns are formed, and metallic pillars 5 having the same sectional shapes as the patterns 3 are constituted to the lower sections of the surface wiring patterns 3 for connecting the flip chip 1 terminals so as to penetrate the organic substrate 8 and reach up to the upper section of the inorganic substrate 9. That is, the metallic pillars 5 are used as heat-dissipating studs functioning as the leading-out of signals in combination, and the semiconductor flip chip 1 is connected by one ends of the metallic pillars 5 and the ceramic substrate 9, which dissipates heat to a high degree and has a low thermal expansion coefficient, is connected by the other ends.



中國出版集團公司

照63-307768

五、公開 昭和63年 1988' 12月 15日

新刊請求 未請求 発明の数 1 (全3頁)

E-7342-5F

出 類 昭62(1937)6月9日

茨城県建設部建設町和台18番地 日立セメント株式会社
法蘭西研究所内

東京都新宿区西新宿2丁目1番1号

代理人 井理士 廣瀬 道

୧. ବିମ୍ବର ବିକାଶ

平 司 佐 監 記 用 記 西 國 語 記

2. 11.7 2.5 の証明

1. 所定の配列パターンが形成された「第1多量配列基板」上に、フリップチップ電子部品の引出の多量配列パターンを含む所定の配列パターンが形成された配列基板上の複数の多量配列基板を配置する工程と、該配列基板上の複数の多量配列基板に対して、フリップチップ電子部品の引出の多量配列パターンと対応する「第2多量配列パターン」を形成する工程とを含む工程とを繰り返すように形成したことを特徴とする半導体基板上の配列基板。

○ 1940 年 12 月 22 日

1871-72

と説明は、大體のフリッヂとして使われると考へられ
同機版に同する。

(15 7. の 15.41)

2017. 9. 20 日 現在 10 月 1 日 現在

びの大型化、足踏車組込大型化、信号機大型化、車
 の増大増速などにより高度に対する要領が厳し
 くなってきている。この中で、信号機大型化を推
 進した市町村は、信号機の増設増速に対し、道路
 設計上は余裕を持って対応でき、信号機大型化
 する多摩河原地区には、(1)信号機上の設置位置
 の変更、(2)減速直下、(3)減速直前、(4)減速
 直後、(5)減速後の直後などが増設減速できる位
 になっている。信号機大型化を促進促進する多摩河
 原地区としては信号機上の設置位置の変更と減速
 直下直前直後を削減した信号機上の減速、信号機上
 直後の増速を促進等により、信号機上の要領を緩和
 として、多摩河原河原地区を確保している。

12 7 45 10 2 : 1 1 6 7 7 5 5

... 2000 ...

[illegible][illegible]

DATE: _____

を組合せた方式では、低誘電率ポリイミドを使うことで、(4)を殆ど全てを満足できる可能性がある。しかし、ポリイミドの低誘電率化に伴って、セラミック基板や銅箔との界面力低下が問題となる。これは、ポリイミドを低誘電率化すると、銅箔との界面係数差が大きくなると同時にポリイミドの弾性率が低下するためである。

本発明は、前記の(1)~(4)の全てを同時に満足する半導体搭載用多層配線板を提供するものである。

(問題点を解決するための手段)

第1図は、本発明の半導体搭載用多層配線板の一実施例を示すものであり、1は半導体フリップチップ、2は樹脂パンプ、3はフリップチップ電子接合用表面配線パターン、4は表面銅箔、5はフリップチップ電子接合用表面配線パターン、6は銅箔裏面の金箔層、7は銅箔裏面の銅箔層、8は銅箔裏面の銅箔層、9は低誘電率ポリイミド絶縁層、10は硬化アルミニウム基板、11はヒートシンクである。

本発明の半導体搭載用多層配線板では、第1図に示すようにポリイミド等の低誘電率絶縁層を下から上まで突き抜ける通孔部を信号の引き出し用通孔部として使用し、金箔層の一方に半導体フリップチップを、他方の面に銅箔層、低誘電率絶縁層のセラミックス基板を接合させ、信号はチップとセラミックス基板の間の低誘電率絶縁層の通孔部に引き出すように形成される。

セラミックス基板としては、硬化アルミニウム基板または硬化ケイ素基板が、信号線の負荷容量低減に有効としては、ポリイミドの材料組合せが好ましい。

所定の配線パターンが形成された銅箔多層配線板は、通常の銅箔多層配線板の製造法により製造される。また、フリップチップ電子接合用の表面配線パターンを含む所定の配線パターンが形成された銅箔多層配線板は、通常の銅箔多層配線板の製造法、例えばエッチング法により製造される。

(発明の効果)

本発明の半導体搭載用多層配線板は、銅箔多層配線板に銅箔裏面に低誘電率の銅箔多層配線板を接合させた構造としているため、低誘電率の銅箔多層配線板の銅箔裏面に、フリップチップ電子接合用の表面配線パターンを形成する。このフリップチップ電子接合用の表面配線パターンは、銅箔多層配線板の銅箔裏面に形成される。銅箔多層配線板の銅箔裏面に形成される表面配線パターンは、銅箔多層配線板の銅箔裏面に形成される。銅箔多層配線板の銅箔裏面に形成される表面配線パターンは、銅箔多層配線板の銅箔裏面に形成される。銅箔多層配線板の銅箔裏面に形成される表面配線パターンは、銅箔多層配線板の銅箔裏面に形成される。

(発明の効果)

第1図は本発明の半導体搭載用多層配線板の一実施例を示すものであり、1は半導体フリップチップ、2は樹脂パンプ、3はフリップチップ電子接合用表面配線パターン、4は表面銅箔、5はフリップチップ電子接合用表面配線パターン、6は銅箔裏面の金箔層、7は銅箔裏面の銅箔層、8は銅箔裏面の銅箔層、9は低誘電率ポリイミド絶縁層、10は硬化アルミニウム基板、11はヒートシンクである。

(発明の効果)

(発明の効果)

(発明の効果)

(発明の効果)

(発明の効果)

(発明の効果)

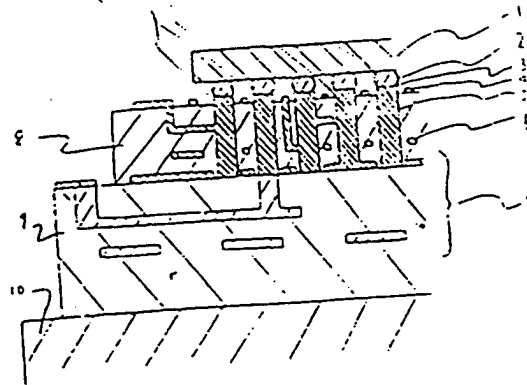


図1 (2)

- 1: 固体フリップチップ
- 3: フリップチップを支持する基板上に形成されたパターンの
- 5: フリップチップの端子に接続する配線パターン
- 下方の基板に
- 8: 低誘電率ポリイミド絶縁層
- 9: 酸化アルミニウム絶縁層